

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57—10465

⑬ Int. Cl.³
G 01 R 29/02
// H 03 K 5/153

識別記号

庁内整理番号
7359—2G
7125—5J

⑭ 公開 昭和57年(1982)1月20日

発明の数 1
審査請求 未請求

(全 4 頁)

⑮ パルス幅測定回路

東京芝浦電気株式会社青梅工場
内

⑯ 特 願 昭55—85454

⑰ 出 願 人 東京芝浦電気株式会社

⑱ 出 願 昭55(1980)6月24日

川崎市幸区堀川町72番地

⑲ 発 明 者 尾崎久美

⑳ 代 理 人 弁理士 鈴江武彦 外 2 名

青梅市末広町2丁目9番地の1

明 細 書

1. 発明の名称

パルス幅測定回路

2. 特許請求の範囲

被測定パルスの印加される第1のディレーラインと、この第1のディレーラインの出力端子に直列に接続されていて、互に同じディレータイムを有する第2ないし第nのディレーラインと、上記各ディレーラインの出力パルスの前縁によってトリガされ、その時に前記被測定パルスが出現しているか否かを記憶するn個のD型フリップフロップとを具備したことを特徴とするパルス幅測定回路。

発明の詳細な説明

この発明はパルス幅を測定するパルス幅測定回路に関する。

従来、パルス幅を測定する際には、主に次のような方法がとられていた。すなわち、第1図に示すように、被測定パルスHにおけるパルス幅TW中に、発信器から発生されるクロック

パルスKが何発発生されたかをカウンタにおいてカウントすることにより測定していた。しかしながら、このような測定方法にあっては、短かいパルス幅の測定を行なう場合、発振器の周波数を上げることが必要となるばかりか、そのクロックパルスをカウントするカウンタにも超高速動作をするものが要求され、測定回路が高価かつ複雑になるという欠点があった。

この発明は上記のような事情に鑑みなされたもので、短いパルス幅を簡単に測定できる安価なパルス幅測定回路を提供することを目的とする。

以下、図面を参照してこの発明の一実施例を説明する。第2図は、この発明の一実施例の構成を示したものである。図中、符号F0～F4はD型フリップフロップを示している。このD型フリップフロップF0～F4は、それぞれクロック端子CKへの入力パルスの立上がりで、その時の入力端子Dへの入力信号のレベル(ハイ又はロウ)を記憶し、その記憶状態を出力端子

特開昭57-10465(3)

Q_1, Q_2, Q_3, Q_4 のレベルは「1」。
「1」, 「1」, 「0」, 「0」となる。

第3図の例の場合、被測定パルスAのパルス幅TWが $X+2Y < TW < X+3Y$ の関係にある場合について説明したが、他のパルス幅の場合における信号 $Q_0 \sim Q_4$ の出力レベルの結果を表1に示す。

表 1

	Q_0	Q_1	Q_2	Q_3	Q_4
$TW < X$	0 (Low)	0	0	0	0
$X \leq TW < X+Y$	1 (high)	0	0	0	0
$X+Y \leq TW < X+2Y$	1	1	0	0	0
$X+2Y \leq TW < X+3Y$	1	1	1	0	0
$X+3Y \leq TW < X+4Y$	1	1	1	1	0
$X+4Y \leq TW$	1	1	1	1	1

このように、このパルス幅測定回路にあっては信号 $Q_0 \sim Q_4$ の出力結果によって、例えば発光ダイオードを点灯させるようにすることにより、被測定パルスのパルス幅を測定すること

様にして、第2～第5のディレーラインD2～D5からは、出力パルスT0～T3に対してそれぞれYだけ遅延された出力パルスT1～T4が出力される。

出力パルスT0の前縁で、フリップフロップF0は、被測定パルスAが出現しているか否かがトリガされ記憶される。この場合第4図に示すように、出力パルスT0の前縁では、被測定パルスAが出現していない(ロウレベル)の状態であるので、「0」がフリップフロップF0に記憶される。したがってフリップフロップF0の出力信号 Q_0 は「0」レベルとなる。同様にして、出力パルスT1の前縁でも被測定パルスAは出現していないので、フリップフロップF1には「0」が記憶される。したがって、フリップフロップF1の出力信号 Q_1 は「0」レベルとなる。また、出力パルスT2～T4の前縁では被測定パルスAが出現している(ハイレベル)の状態にあるので、フリップフロップF2～F4には「1」が記憶される。したがっ

てできる。なお、第1のディレーラインD1の遅延時間Xを被測定パルスのパルス幅の最小値に合わせると都合がよい。

次に、このパルス幅測定回路が2つのパルスの出現する時間差の測定に使用される場合について説明する。この場合は、第2図におけるスイッチSを切り換えて、第1のディレーラインD1に被測定パルスBが入力されるようにする。例えば、第4図のタイミングチャートに示すような被測定パルスBが第1のディレーラインD1に、そして、この被測定パルスBに対して $T_d (X+Y < T_d < X+2Y)$ の時間遅れをもって出現する被測定パルスAがフリップフロップF0～F4の各入力端子Dに入力される場合について考える。この場合も、まずクリアパルスCLAによりフリップフロップF0～F4がクリアされる。そして、第1のディレーラインD1に被測定パルスBが入力されると、被測定パルスBに対して、Xだけ遅延された出力パルスT0が、第1のディレーラインD1から出力される。同

て、フリップフロップF2～F4の出力信号 $Q_2 \sim Q_4$ は「1」レベルとなる。その結果、信号 Q_0, Q_1, Q_2, Q_3, Q_4 のレベルは「0」, 「0」, 「1」, 「1」, 「1」となる。

第4図の場合、被測定パルスA, Bのパルスの出現する時間差 T_d が $X+Y < T_d < X+2Y$ の関係にある場合について説明したが、他の時間差の場合における信号 $Q_0 \sim Q_4$ の出力レベル結果を表2に示す。

表 2

	Q_0	Q_1	Q_2	Q_3	Q_4
$T_d < X$	0 (Low)	1	1	1	1
$X \leq T_d < X+Y$	1 (high)	1	1	1	1
$X+Y \leq T_d < X+2Y$	0	0	1	1	1
$X+2Y \leq T_d < X+3Y$	0	0	0	1	1
$X+3Y \leq T_d < X+4Y$	0	0	0	0	1
$X+4Y \leq T_d$	0	0	0	0	0

© EPODOC / EPO

PN - JP57010465 A 19820120
 TI - PULSE WIDTH MEASUREMENT CIRCUIT
 AB - PURPOSE: To measure simply short pulse width by memorizing whether the pulse to be measured is appeared or not in the leading end of the output of plurality of delay lines whereon the pulse to be measured is to be impressed. CONSTITUTION: Before the start of measurement the contents of memory of flip-flop F0-F4 are cleared by the clear pulse CLA. The pulse A to be measured is delayed by X by means of the first delay line D1 and be further delayed respectively by Y by means of the delay lines D2-D5. And in the leading end of the output pulse T0-T4 from the delay lines D1-D5 the flip-flop F0-F4 memorize whether or not the pulse A to be measured is appeared to light the luminous diode connected with the output terminals Q0-Q4. Thereby the pulse width of the pulse to be measured can be simply measured without using a counter.
 EC - G01R29/027C
 FI - G01R29/02&G; H03K5/153&W
 PA - TOKYO SHIBAURA ELECTRIC CO
 IN - OZAKI HISAMI
 AP - JP19800085454 19800624
 PR - JP19800085454 19800624
 DT - *

© PAJ / JPO

PN - JP57010465 A 19820120
 TI - PULSE WIDTH MEASUREMENT CIRCUIT
 AB - PURPOSE: To measure simply short pulse width by memorizing whether the pulse to be measured is appeared or not in the leading end of the output of plurality of delay lines whereon the pulse to be measured is to be impressed.
 - CONSTITUTION: Before the start of measurement the contents of memory of flip-flop F0-F4 are cleared by the clear pulse CLA. The pulse A to be measured is delayed by X by means of the first delay line D1 and be further delayed respectively by Y by means of the delay lines D2-D5. And in the leading end of the output pulse T0-T4 from the delay lines D1-D5 the flip-flop F0-F4 memorize whether or not the pulse A to be measured is appeared to light the luminous diode connected with the output terminals Q0-Q4. Thereby the pulse width of the pulse to be measured can be simply measured without using a counter.
 I - G01R29/02
 SI - H03K5/153
 PA - TOSHIBA CORP
 IN - OZAKI HISAMI
 ABD - 19820506
 ABV - 006070
 GR - P113
 AP - JP19800085454 19800624